

1. 概述

JD9591 是高度集成的恒流 LED 功率开关，芯片采用了准谐振的工作模式，同时加以有源功率因数校正控制技术可以满足高功率因数、低谐波失真和高效率的性能。

JD9591 内部集成有高压功率 MOSFET 和高压供电电路，简化了系统的设计和生产成本。芯片通过独有的恒流控制算法，可以获得高精度的恒流输出，且输出的线电压和负载调整率表现优异。

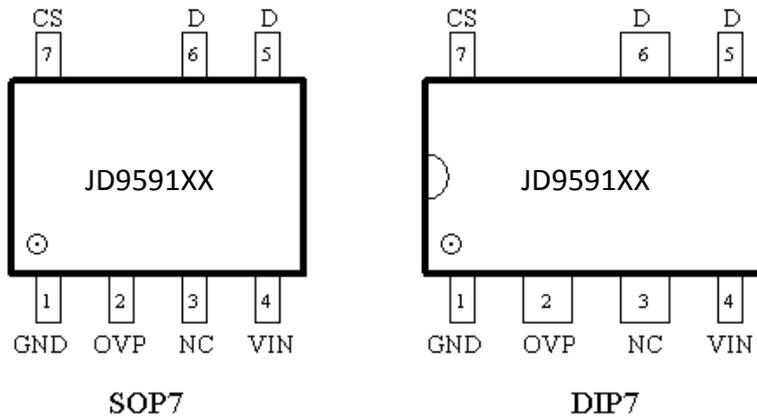
JD9591 集成有完备的保护功能以保障系统安全可靠的运行，如：逐周期电流限制 (OCP)、过热保护(OTP)、输出过压保护 (OVP)、LED 开路 and 短路保护等。

2. 特点

- 有源功率因数校正技术
- 全电压功率因数 >0.9
- 分次谐波满足 IEC61000-3-2 Class C
- 集成高压供电电路
- 集成高压 MOSFET
- 无 VDD、COMP 电容设计
- 支持 OVP 连续可调
- 准谐振模式高效率工作
- $\pm 3\%$ 恒流精度
- 超低工作电流
- 优异的线电压和负载调整率
- 内部保护功能：
 - 输出过压保护 (OVP)
 - 逐周期电流限制 (OCP)
 - 前沿消隐 (LEB)
 - LED 开路 and 短路保护
 - 过热保护 (OTP)
- 封装类型 SOP-7/DIP-7

3. 封装

3.2 管脚排列



3.3 管脚说明

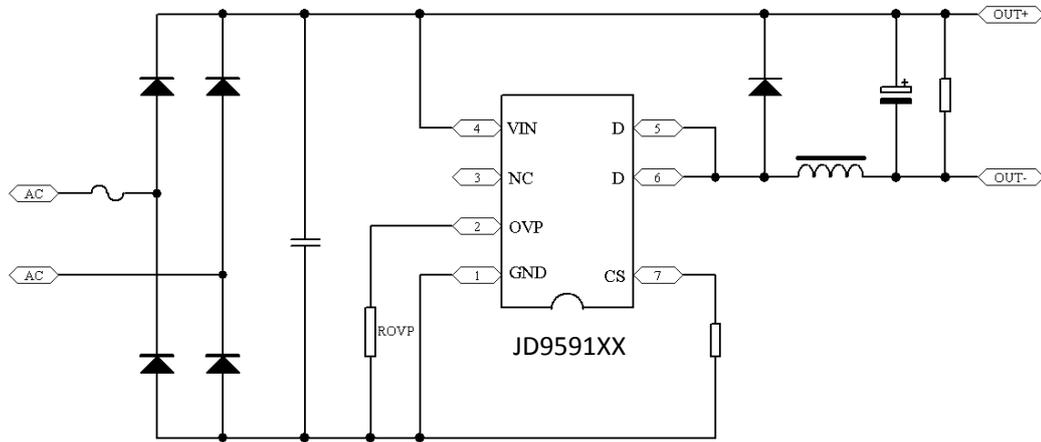
管脚	名称	I/O	描述
1	GND		芯片参考地
2	OVP	I	输出OVP调节引脚，外接电阻到GND可连续调整OVP点。推荐 $R_{ovp} > 15k\Omega$ 。当 $R_{ovp} < 4k\Omega$ 时，关闭系统。当 Ovp 管脚悬空时，无输出过压保护功能。
3	NC	P	空脚
4	VIN	P	芯片高压供电管脚
5、6	Drain	O	内部功率MOSFET漏极输入管脚
7	CS	I	电流采样输入管脚

4. 应用

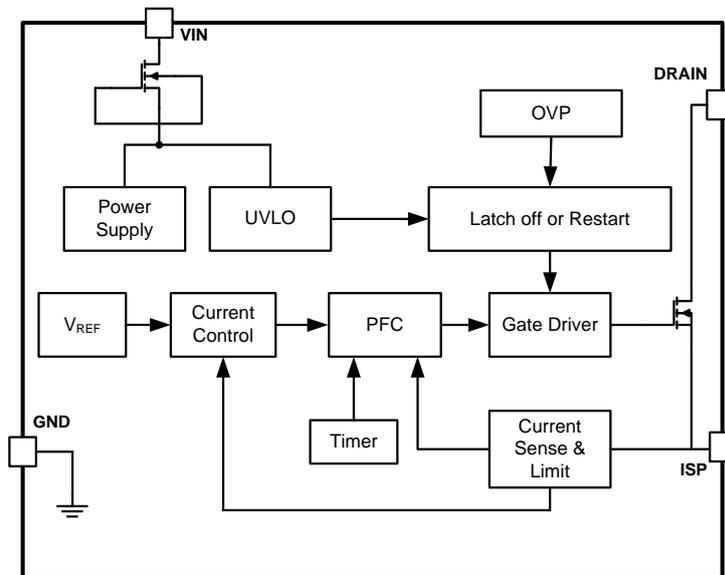
4.1 范围

- ◆ 小功率 LED 球泡灯
- ◆ LED 驱动

4.2 典型应用线路



5. 功能框图



6. 电特性

6.1 极限参数(备注 1)

参数	数值	单位
VIN电压	-0.3 to 500	V
DRAIN电压	-0.3 to 500	V
CS, OVP电压	-0.3 to 7	V
P_{Dmax} 耗散功率@ $T_A=50\text{ }^\circ\text{C}$ (SOP-7) (备注2)	0.6	W
P_{Dmax} 耗散功率@ $T_A=50\text{ }^\circ\text{C}$ (DIP-7) (备注2)	0.9	W
θ_{JA} 封装热阻---结到环境 (SOP-7) (备注2)	96	$^\circ\text{C}/\text{W}$
θ_{JA} 封装热阻---结到环境 (SOP-7) (备注2)	80	$^\circ\text{C}/\text{W}$
芯片工作结温	150	$^\circ\text{C}$
储藏温度	-65 to 150	$^\circ\text{C}$
管脚温度 (焊接10秒)	260	$^\circ\text{C}$
ESD 能力 (人体模型)	3	kV

6.2 工作范围

参数	数值	单位
工作结温	-40 to 125	$^\circ\text{C}$

6.3 电气特性

符号	参数	测试条件	最小	典型	最大	单位
供电部分(VIN管脚)						
IHVDD_ST	启动电流	HVDD<HVDD_ON	0.8	1.4	2.0	mA
IHVDD_OP	工作电流	Fsw=7kHz	120	200	250	uA
HVDD_ON	HVDD开启电压		13	15.5	17	V
HVDD_OFF	HVDD欠压保护电压		4.8	5.8	6.8	V
时钟控制部分						
TDEM_BLANK	消磁检测消隐时间	(备注3)	0.3	0.5	0.7	us
TON_MAX	最长导通时间	(备注3)	22	23	24	us
TOFF_MAX	最长关断时间		100	140	180	us
Fsw_MAX	最高开关频率			125		kHz
电流采样部分 (CS管脚)						
VCC_REF	恒流输出基准		196	200	204	mV
TLEB	电流采样前沿消隐时间			500		ns
VCS_MAX	峰值电流基准		1.4	1.5	1.6	V
TD_OC	过流检测延时			150		ns
过热保护部分						
TSD	过热保护阈值	(备注3)		155		℃

符号	参数	测试条件	最小	典型	最大	单位
高压 MOSFET 部分 (Drain管脚)						
V_{BR}	高压MOSFET击穿电压	JD9591SA	500			V
		JD9591SBC				
		JD9591SB				
		JD9591SC				
		JD9591SD				
		JD9591DBC				
		JD9591DB				
		JD9591DC				
		JD9591DD				
R_{DS-ON}	导通阻抗	JD9591SA		8.5	10	Ω
		JD9591SBC		5.5	5.8	
		JD9591SB		4.8	5	
		JD9591SC		2.5	2.8	
		JD9591SD		1.8	2	
		JD9591DBC		5.5	5.8	
		JD9591DB		4.8	5	
		JD9591DC		2.5	2.8	
		JD9591DD		1.8	2	

备注 1: 超出列表中“极限参数”可能会对器件造成永久性损坏。极限参数为应力额定值。在超出推荐的工作条件和应力的情况下, 器件可能无法正常工作, 所以不推荐让器件工作在这些条件下。过度暴露在高于推荐的最大工作条件下, 可能会影响器件的可靠性。

备注 2: 最大耗散功率 $P_{Dmax} = (T_{Jmax} - T_A) / \theta_{JA}$, 环境温度升高时最大耗散功率会随之降低。

备注 3: 参数取决于实际设计, 在批量生产时进行功能性测试。

7. 功能描述

JD9591 是一款高度集成的恒流 LED 功率开关，芯片采用了准谐振的工作模式，同时采用有源功率因数校正控制技术可以满足高功率因数、低谐波失真和高效率的要求。JD9591 内置环路补偿电容 (COMP 电容) 和 VDD 电容，输出 OVP 电压连续可调，支持无辅助绕组设计，最大程度降低了系统成本。

7.1 系统启动

当系统上电后，芯片内部自动计时满 64ms 后，开始按照最低频率开始开关动作，之后输出电流缓慢上升到设计值。

7.2 恒流控制

JD9591 系统逐周期采样电感峰值电流。通过对每个周期电感峰值电流的采样和内部高精度的电流闭环控制，芯片可以实现高精度的电流输出。闭环控制下的输出电流由以下公式决定：

$$I_{CC_OUT}(mA) = \frac{V_{CC_REF}}{R_{CS}} = \frac{200mV}{R_{CS}(\Omega)}$$

其中：

R_{CS} ---连接于 CS 管脚和 GND 管脚之间的采样电阻。

7.3 电流采样和前沿消隐

在每次功率 MOSFET 导通的瞬间，都会在采样电阻两端产生由 MOSFET 寄生电容和续流二极管反向恢复电流造成的电压尖峰。为了避免驱动信号错误关断，芯片内部设计有前沿消隐时间。在此时间内部（典型值 500ns），内部 PWM 比较器停止工作以保证驱动信号稳定导通。

7.4 消磁检测

JD9591 内部集成消磁检测模块，无需辅助绕组来检测消磁信号即可实现 IC 准谐振控制，减小了系统设计成本。

7.5 时钟控制

当功率 MOSFET 关断后，在 JD9591 内部设计有典型值 0.5us 的消隐时间限制以避免干扰，防止消磁误检测。同时，芯片内部典型的最长关断时间设计为 140us。JD9591 还集成有钳频功能，系统工作频率不会大于 125kHz（典型值），以达到良好的 EMI 特性。

7.6 输出过压保护 (OVP)

JD9591 内置独有的输出过压保护功能，并可通过外置 ROVP 电阻连续调整输出过压保护电压。输出过压保护由下列公式计算：

$$V_{OVP}(V) \approx \frac{4.51 \times L_p \times R_{ovp}}{R_{CS}}$$

其中:

L_p ---功率电感感量, 单位为 H。

R_{CS} ---连接于 CS 管脚和 GND 管脚之间的采样电阻, 单位为 Ω 。

R_{ovp} ---连接于 ROVP 管脚和 GND 管脚之间的电阻, 单位为 Ω 。

7.7 自动重启保护

当 LED 开路状态或者输出过压时, 电路进入自动重启模式。此时内部功率 MOSFET 停止导通, 同时内部的计数器开始计数。当计时时间超过 250ms 时, 芯片将复位保护逻辑并进入重启模式。但是, 如果重启后发现故障没有消失, 则芯片将重复以上保护动作直至故障消失。

7.8 过热保护 (OTP)

JD9591 内部集成有过热保护功能。当芯片检测到结温超过 155°C 时, 内部的输出电流基准则开始逐渐降低直至达到温度平衡, 如图 1 所示。通过过热保护功能, 限制了系统的最高温度并提高了系统的可靠性。

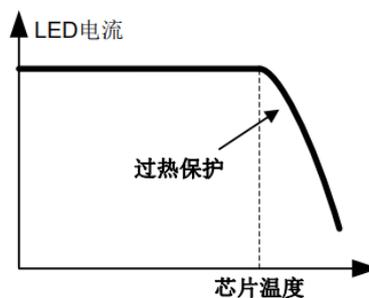


图 1

7.9 软驱动

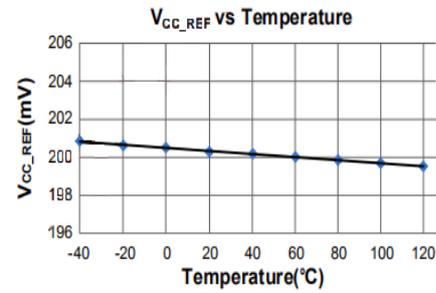
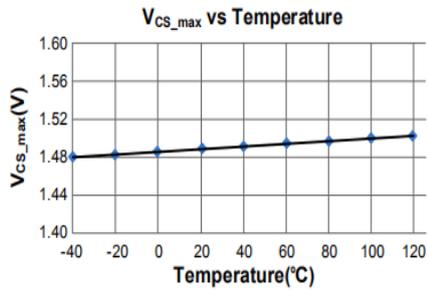
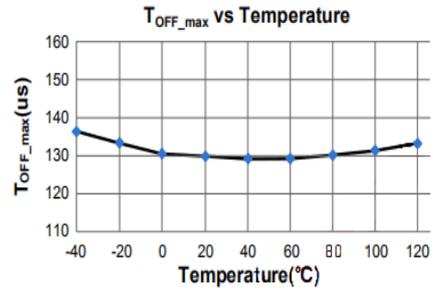
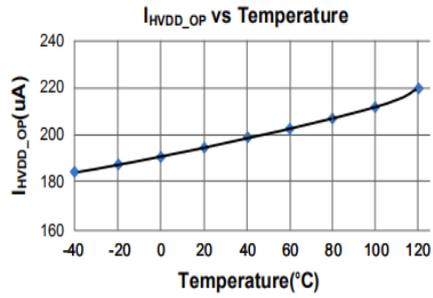
JD9591 设计有软驱动电路有效地降低了 EMI 噪声。

7.10 Layout 指导

良好的布局对系统可靠运行非常重要。为获得更好的性能, 建议布局时遵守下列要求。

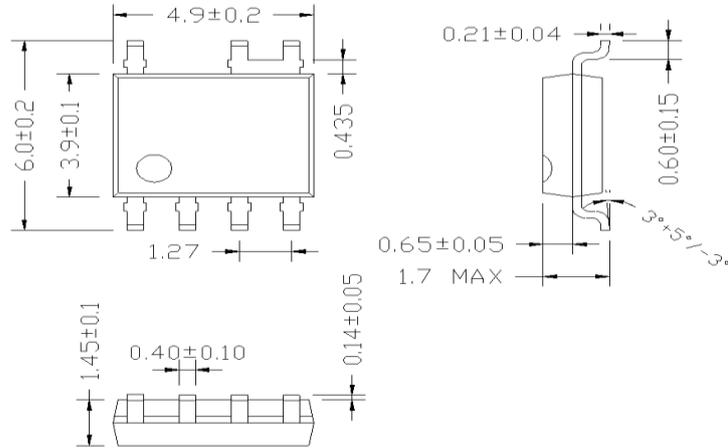
1. 尽量减小主功率环路的面积。如桥后滤波电容、电感和芯片组成的充电回路, 以及电感、续流二极管和输出电容组成的放电回路。
2. 芯片地和其他小信号地单点连接到采样电阻地, 且连线越短越好。
3. 增大 Drain 引脚的铺铜可改善芯片散热, 但过大的铺铜面积会使 EMI 变差。

8. 参数特性曲线

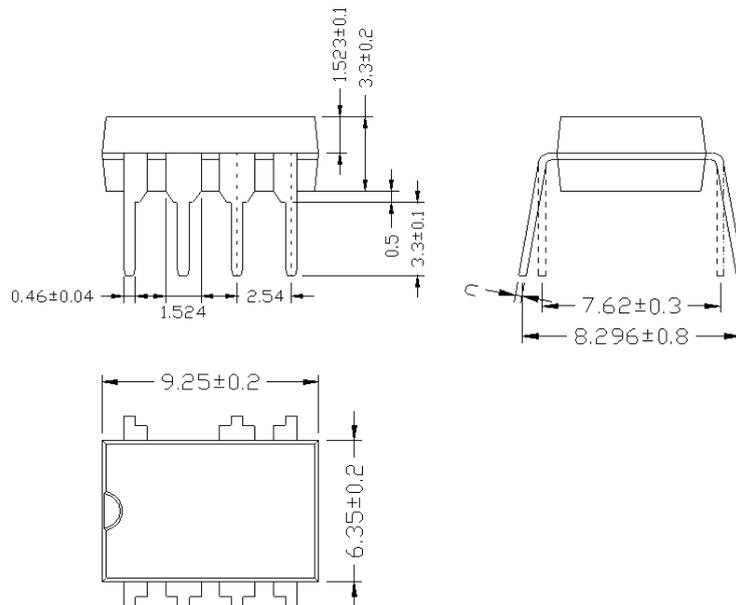


9. 外形封装(单位:mm)

9.1 SOP-7



9.2 DIP-7



版本修改信息:

- V1.0.....初始版本。
- V1.1.....SOP-7 外形调整。
- V2.0.....版本升级。
- V3.0.....更改地址。